

# **数字逻辑小设计报告**

**题 目： 时序信号发生器电路设计**

评语：

教师签名

**姓 名： 刘本嵩**

**学 号： U201614531**

**班 级： CS1601**

**指 导 教 师： 赵贻竹**

**计算机科学与技术学院**

**2018 年 6 月 20 日**

# 时序信号发生器电路设计

## 一、设计要求

时序信号是使计算机能够准确、迅速、有条不紊地工作的时间基准。CPU每取出并执行一条指令所需要的时间通常叫做一个指令周期，一个指令周期一般由若干个CPU周期（通常定义为从内存中读取一个指令字的最短时间，又称为机器周期）组成。时序信号的最简单体制一个节拍电位表示一个CPU周期的时间，在一个节拍电是节拍毛位一节拍脉冲二级体制。位中又包含若干个节拍脉冲，节拍脉冲表示较小的时间单位。时序信号发生器的功能就是生一系列的节拍电位和节拍脉冲，它一般由时钟脉冲源、时序信号产生电路、启停控制电路等部分组成。

要求设计一个用于实验系统的简单时序信号发生器，具体功能如下：

．由时钟脉冲源提供频率稳定的方波信号作为系统的主频信号（即时序发生器的输人信号），要求系统的主频信号可以在2MHz、1MHz、500kHz、250kHz等4种不同频率间进行选择。

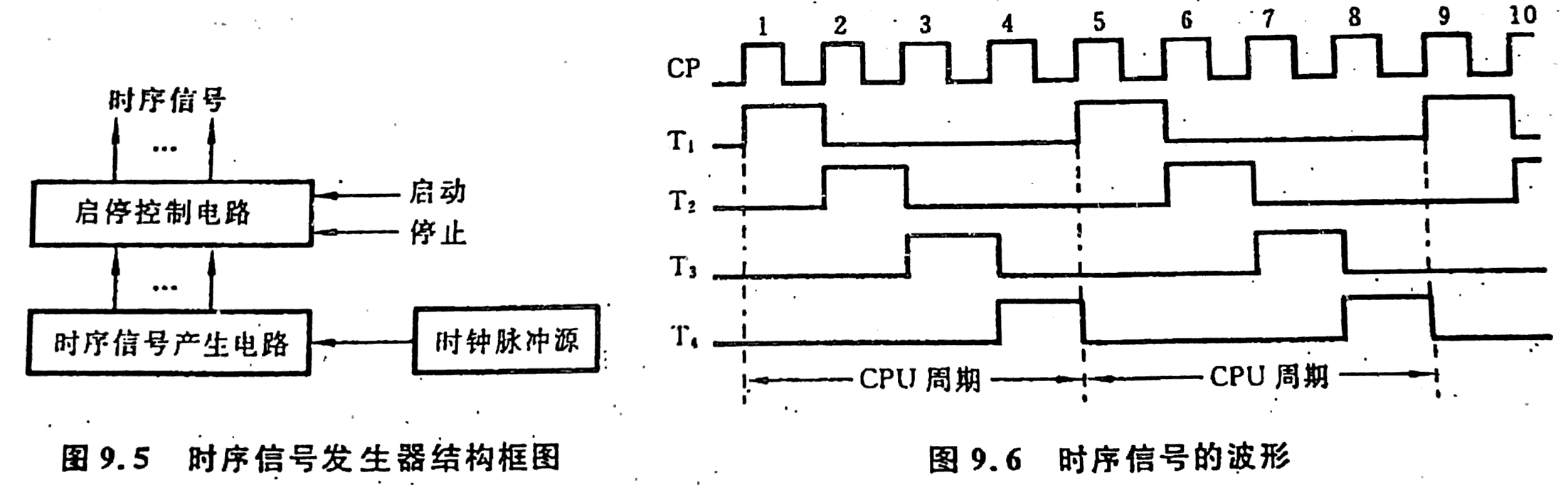
．规定一个CPU周期由4个时钟周期组成，即要求在一个CPU周期中产生4个等间隔的节拍脉冲。

O为了保证系统可靠地启动和停止，必须对时序信号进行有效的控制。此外，由于启动信号和停止信号都是随机产生的，考虑到节拍脉冲的完整性，所以要求时序信号发生器启动时从第一个节拍脉冲的前沿开始工作，停止时在第四个节拍脉冲的后沿关闭。

## 二、功能描述

根据设计要求可知，时序信号发生器由时钟脉冲源、时序信号产生电路、启停控制电路3部分组成，其结构框图如图9·5所示。

假定节拍脉冲信号用T1T2T3T4表示，可画出时序信号发生器产生的波形，如图9·6所示。

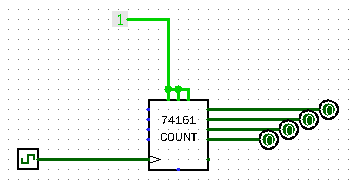


## 三、电路设计

### 1.时钟源电路

由于要求时序发生器的输入信号能在2MHz、1MHz、500kHz、250kHz这4种不同频率的方波信号之间进行选择，所以时钟电路应由信号源和分频电路两部分组成。为保证频率的稳定度和精度，信号源可选用石英晶体振荡器，而分频电路可用计数器实现。假定信号源用特定频率为4MHz的石英晶体,分频电路釆用4位二进制同步计数器74LS161，可设计出时钟电路，如图9. 7所示。图中，用信号源产生的4MHz的方波信号作为计数器74LS161的时钟咏冲，计数器输出Q0、Q1、Q2、Q3可分别提供2MHz、lMHz、500kHz、250kHz这4种不同频率的方波信号。

由于在logisim中无法模拟真实世界的物理现象(电容,电阻,不稳定晶振)，故只能使用一个固定频率的时钟代替。电路如图1所示。



**图1 时钟发生电路图**

将这部分如下封装，以备使用。

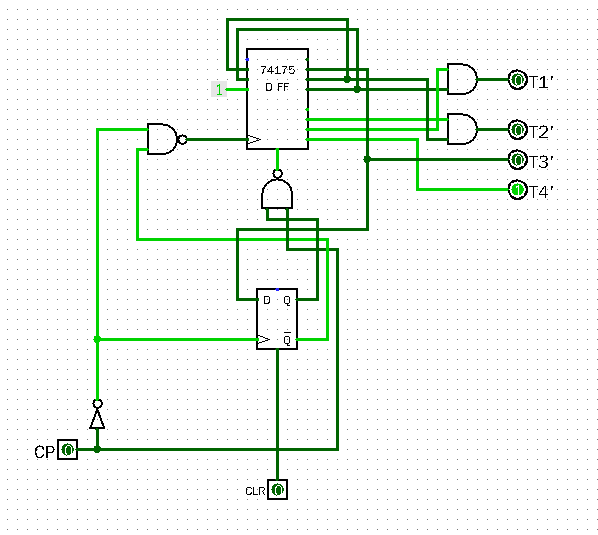
**图2 时钟发生电路封装**

### 2.时序信号产生电路

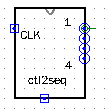
时序信号产生电路一般由一个环形脉冲发生器和一个译码逻辑电路组成，，环形脉冲发生器通常采用循环移位寄存器的形式，其作用是产生一组间隔和宽度相等或不相等的脉冲序列；译码逻辑电路的作用是通过对环形脉冲发生器的输出信号进行译码，产生所需要的节拍脉冲。假定采用 4D触发器 'l 4LS175构成循环移位寄存器，一个满足本设计要求的时序信号产生电路如图 9.8所示。图中，虚线下方为环形脉冲发生器逻辑电路。该电路的工作过程如下。

当系统发出总清信号（CLR）后，触发器 A置为 "1"状态．，与非门 2被打开，系统时钟 (CP)的第一个正脉冲通过与非门 2使 74LS175清 "O"。经过半个时钟周期的延迟 (CP第一个正脉冲的下降沿，即CP第一个脉冲的上升沿），触发器 A由 "1"状态翻转为 "0"状态，与非门 1被打开，再经过半个时钟周期的延迟， CP的第二个正脉冲作为 74LS175的移位脉冲信号（注意：当触发器 A为,, O"状态时，与非门 1的输出为 C.P),使 74LS175的 Q4Q3Q2变为 "100"状态。此后， CP的第三个、第四个正脉冲连续通过门 1形成移位脉冲信号，使 Q4Q3Qz相继变为 'l l O"、“ 111"状态。当Q2变为 "1"状态时，触发器 A的输入端 D为 "l",因而在 CP第四个正脉冲的下降沿又将触发器A置为 ''1"状态，与非门 2再次被打开，~p的第五个正脉冲通过与非门 2使 74LS175再次清零，开始下一轮循环。

时序信号产生电路电路图如下所示。

**图3 时序信号产生电路**

将设计好的四位寄存器电路封装，以备使用。

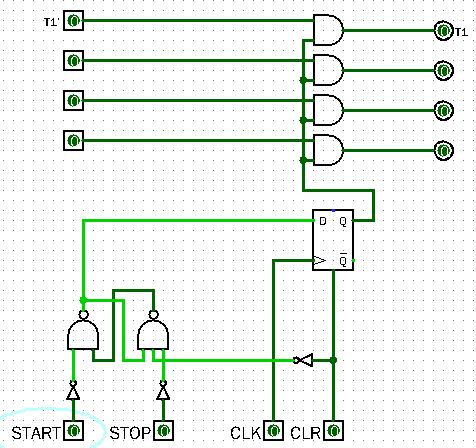


**图4 时序信号产生封装**

### 3.启停控制电路

系统接通电源并发出总清信号（CLR）后，时序信号产生电路会自动产生节拍脉冲信号。但是，仅在启动系统运行的情况下，才允许时序发生器发出系统工作所需的节拍脉冲为此，需要由启停控制电路控制的发送。启停控制电路的核心是一个运行标志触发器，当运行标志触发器为“1"时，允许节拍脉冲发出，当运行标志触发器为“0"时，节拍脉冲被封锁。根据设计要求可设计出启停控制电路，如图9·10由于启动和停止信号都是随机发生的，因此，为了保证输出节拍脉冲信号的完整性，采用了“维持一阻塞型"电路。图中，在运行标志触发器B的下方加上了一个R一s触发器，并且用环形脉冲发生器74LS175的Q4作为运行标志触发器B的时钟信号，从而保证了时序信号发生器启动时从第一个节拍脉冲的前沿开始工作，停止时在第四个节拍脉冲的后沿终止工作。

综合上述设计过程，可得到一个满足设计要求的时序信号发生器完整电路，如图5所示。

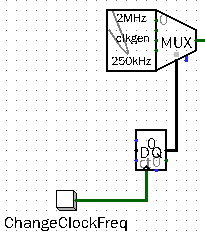
**图5 启停控制电路**

它被封装之后图6所示，以便使用。

**图6 启停控制电路封装**

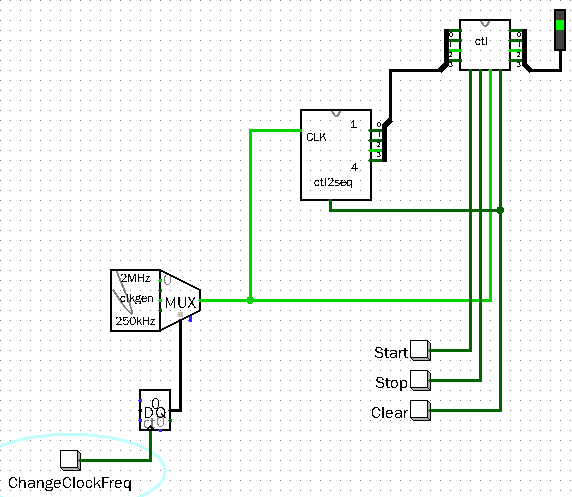
### 4.多路开关

系统需要提供一个多路开关，但是logisim软件本身不含此元件，于是我使用Multiplexer和自带Counter构建了一个多路开关(选择器)供使用。

**图7 多路开关**

### 5.完整的芯片电路

将各个模块进行连接，得到电路图如下：

**图8 完整的芯片电路**

说明：

1.ChangeClockFreq按钮每按一次可以切换输入时钟频率，不断点击按钮可以循环切换。

2.Start按钮开始，Stop按钮结束，右上方的LED显示屏为输出。

## 五、电路测试

使用AdobeAcrobat打开此pdf可直接观看下面的测试gif(30秒) 否则请使用链接：

[gif](<https://recolic.net/tmp/eledes.gif>)(<https://s.recn.pw/res/eledes.gif>)

通过这一系列的测试，证明该系统的电路设计是正确的，达到了系统的设计目标。

## 六、设计感想

这次数电小设计的过程中，我实现了一个简单的时序信号发生器，实现了时钟频率控制、时序信号产生和启停控制等功能。增加了对数电基础知识的理解，熟练了对多种触发器的综合运用，进一步学习了电路的模块化设计，学会了使用74161，74175等常用模块，对logisim的使用也更加熟练了。